

УДК 621.389

А.С. Суслин, А.Ю. Поройков
Национальный исследовательский университет "МЭИ", Россия, Москва
111250, Москва, Красноказарменная ул., 14, E-mail: isuslin.alexandr@gmail.com

РАЗРАБОТКА УСТРОЙСТВА ОБРАБОТКИ ВИДЕОИНФОРМАЦИИ В РЕЖИМЕ РЕАЛЬНОГО ВРЕМЕНИ НА ОСНОВЕ ИНТЕГРАЛЬНОЙ СХЕМЫ ПРОГРАММИРУЕМОЙ ЛОГИКИ

АННОТАЦИЯ

В работе изложен ход выполнения проекта по разработке макета устройства для обработки видеоинформации в режиме реального времени, на основе использования интегральной схемы программируемой логики. Устройство позволяет захватывать видеоинформацию с КМОП сенсора с последующей ее обработкой и передачей для визуализации результата по внешним интерфейсам.

ОБРАБОТКИ ИЗОБРАЖЕНИЙ, ПРОГРАММИРУЕМАЯ ЛОГИЧЕСКАЯ
ИНТЕГРАЛЬНАЯ СХЕМА, ЦИФРОВАЯ КАМЕРА

ВВЕДЕНИЕ

В настоящее время, когда сложность и объемы цифровой информации возрастают, все чаще стали использоваться вычислительные системы с реализованными на них различными алгоритмами и методами обработки данных. Преследуемые цели при этом достаточно различны. К ним можно отнести и упрощение восприятия конечной информации человеком, и приведение ее в более подходящий вид для дальнейшего автоматического анализа.

Зачастую, при решении задач обработки изображений в режиме реального времени, использование процессора персональных компьютеров или же различных микроконтроллеров, не всегда позволяет добиться необходимых показателей быстродействия [1, 2]. В некоторых случаях, при реализации автономных и/или компактных систем их и вовсе нет возможности использовать. В связи с этим, идея использования интегральной схемы программируемой логики (ПЛИС) для решения различного спектра задач становится более актуальной за счет возможности параллельных вычислений и организации конвейерных архитектур [3], что в свою очередь дает существенный выигрыш по быстродействию.

Стоит заметить, что не все задачи на ПЛИС решаются одинаково хорошо. Когда решение одних можно реализовать на ней с большим успехом и существенным выигрышем в производительности [4], то попытка реализации других выльется в не самое рациональное использование ресурсов [5]. К примеру, ветвящиеся алгоритмы, подразумевающие последовательное выполнение, стоит реализовывать на микропроцессорах, в силу того, что их исполнение на ПЛИС будет представлять собой сложноустроенный конечный автомат. С другой же стороны, когда задача стоит в обработке информации с использованием различного рода арифметико-логических операций, тут программируемая логика может

показать хорошие результаты, как раз из-за возможностей распараллеливания и конвейеризации.

Целью проекта является разработка макета устройства аппаратной обработки изображения в реальном времени, что предположительно, дает большое разнообразие в спектре возможно решаемых задач, так как, например, тот же персональный компьютер накладывает существенные ограничения, если не на производительность, то на портативность. Использование же аппаратной составляющей позволяет не только расширить возможности по обработке изображений в целом, но и дает возможность добиться существенно иного уровня интеграции подобного рода приложений в различные области науки и техники. Основной упор в проекте сделан на создание аппаратного базиса, на основе которого, в дальнейшем, будет проводиться работа по разработке различных методов обработки изображений, для решения конкретных задач, имеющих практическую значимость.

МЕТОДЫ ИССЛЕДОВАНИЯ

Решение задачи обработки видеoinформации в режиме реального времени требует использования больших вычислительных мощностей, и если речь идет о каком либо отдельном устройстве, то целесообразно использовать интегральную схему программируемой логики для реализации всего, или большей части функционала. Использование ПЛИС позволяет проводить не только обработку большого объема информации, но и коммутацию различных внутренних и внешних модулей с высокой пропускной способностью

Разрабатываемый макет устройства состоит из набора блоков (рис. 1), каждый из которых отвечает за выполнение соответствующих действий:

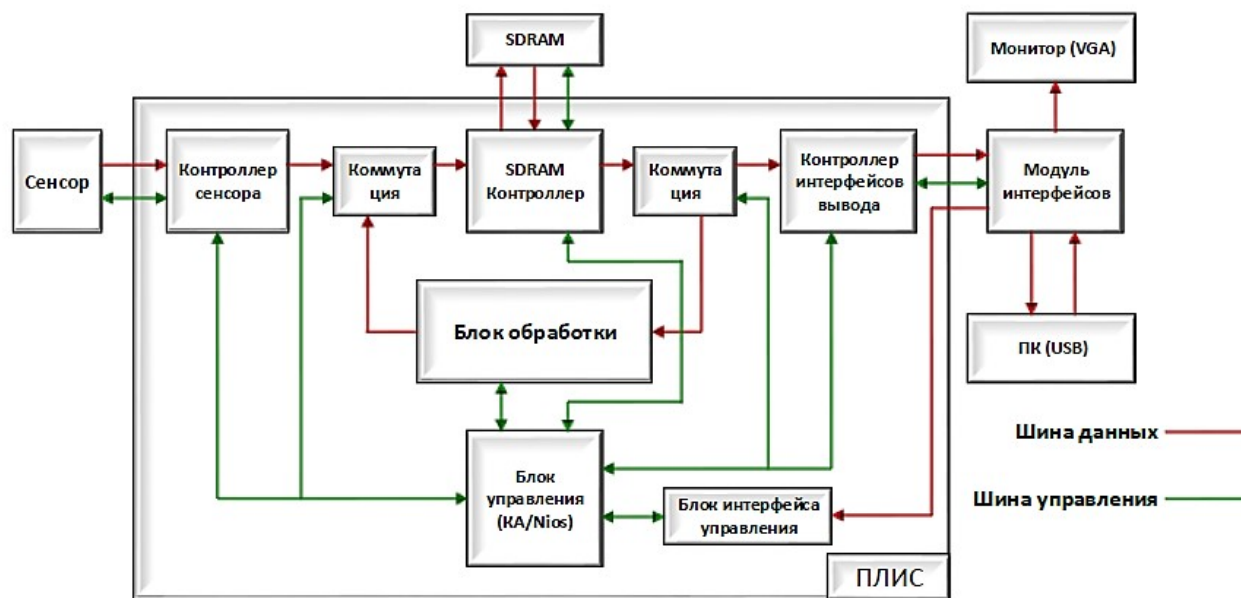


Рис 1. Структурная схема разрабатываемого макета устройства для обработки видеoinформации

- Контроллер сенсора производит установку параметров работы светочувствительной матрицы (усиление, используемая пиксельная область, частота кадров) и управляет получением изображения.
- Блок коммутации реализован в двух экземплярах. Он производит установку направления входных и выходных линий данных между контроллером сенсора, оперативной памятью, блоком обработки и выходным интерфейсом.

- Микросхема оперативной памяти типа SDRAM (Synchronous Dynamic Random Access Memory – синхронная динамическая память с произвольным доступом). Используется в качестве кадрового буфера для хранения исходного и обработанного кадра.
- Контроллер оперативной памяти производит установку начальных параметров работы микросхемы SDRAM и управлением функций чтения/записи.
- Контроллер внешнего управления соединен с интерфейсным модулем. Обеспечивает необходимый функционал для создания канала общения ПК – ПЛИС средством микросхемы USB для осуществления управления устройством через ПК.
- Контроллер интерфейсов вывода соединен с интерфейсным модулем. Реализует управление микросхемой ЦАП для отображения информации на внешнем мониторе по интерфейсу VGA, и микросхемой USB, для отправки обработанных данных напрямую в компьютер, с возможностью дальнейшего ее отображения программными средствами.
- Блок управления, своими линиями, подключен ко всем составляющим разрабатываемого макета. Он производит согласование работы отдельно взятых блоков между собой. Может быть реализован в виде конечного автомата или синтезируемого процессорного ядра Nios II с соответствующей программой управления.
- Блок обработки (рис. 2) реализован в виде каскадного набора типовых блоков обработки. Унификация всех фильтров, позволит выстраивать алгоритмы обработки без необходимости проводить изменения в структуре самого устройства. В настоящее время реализован блок медианной фильтрации.

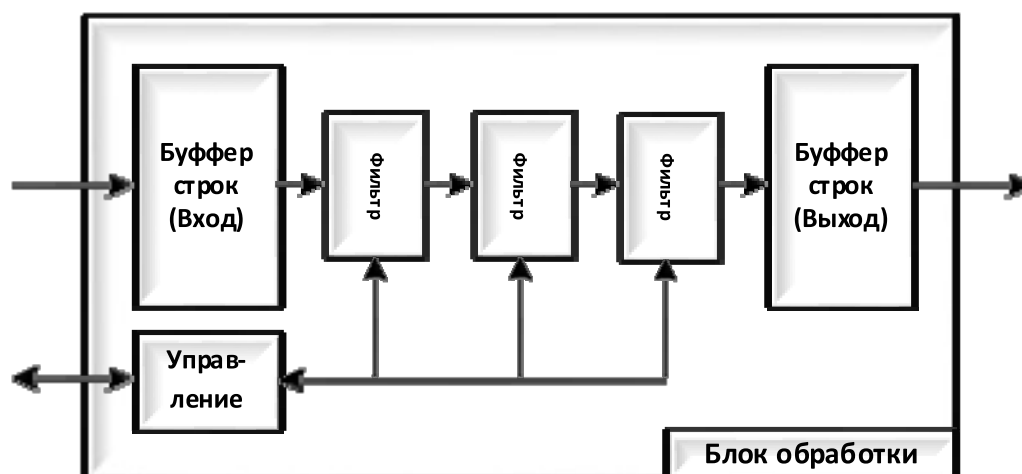


Рис. 2 Схема блока обработки

Основой макета выступает отладочная плата Terasic DE0 со встроенной интегральной схемой программируемой логики Cyclone III, с логической ёмкостью в 15 тыс. ячеек. Помимо самой ПЛИС на плате располагаются различные элементы периферии, такие как: микросхема оперативной памяти, слот для SD карт, разъемы расширения и т.п. Для использования отладочной платы в поставленной задаче и надления её новым функционалом, были задействованы разъемы расширения GPIO и разработаны два отдельных модуля: модуль камеры и интерфейсный модуль.

Интерфейсный модуль (рис. 3) реализован в виде отдельной платы, с расположенными на ней микросхемами USB FT232H (для интерфейса USB), и ЦАП ADV7125 (для интерфейса VGA). Микросхема USB позволяет осуществлять передачу данных на скоростях вплоть до 480 Мбит/сек (60 Мбайт/сек). Микросхема ADV7125 является 3-х канальным, высокоскоростным цифро-аналоговым преобразователем для видео приложений. Её быстроедействие позволяет работать с режимами VGA до 1600×1200 при 60 Гц.

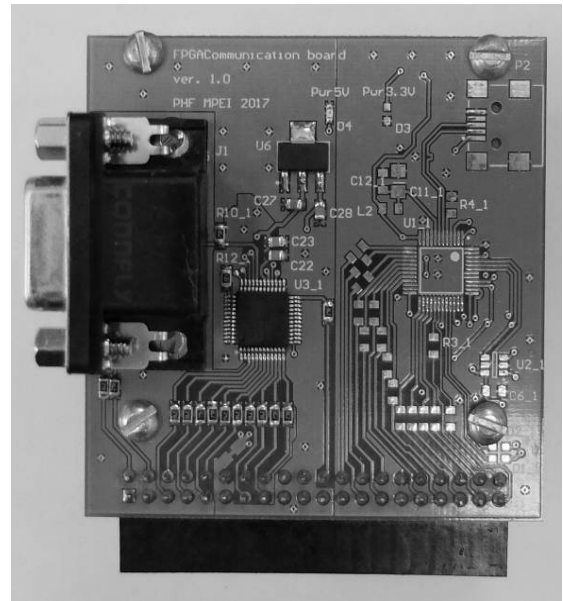
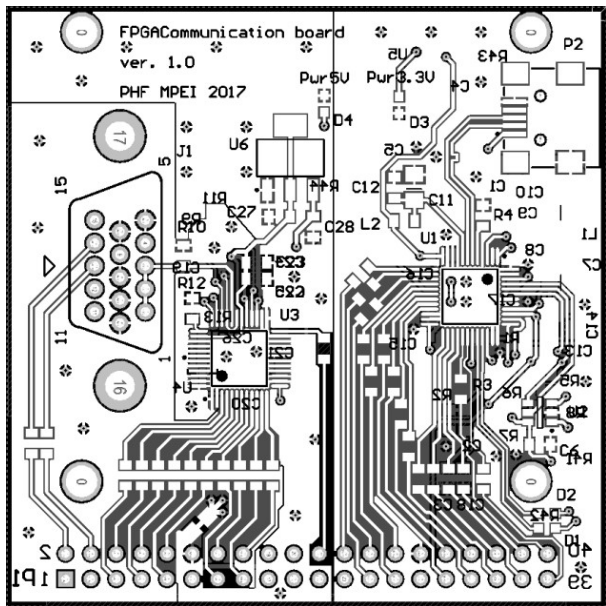


Рис 3. Интерфейсный модуль

На модуле камеры располагается КМОП сенсор MT9M001 со всей необходимой обвязкой. Имеется возможность переключения источника тактового сигнала между собственным генератором на 48 МГц и линией тактирования с ПЛИС. Сам сенсор монохромен, линия данных 10 бит, максимальное разрешение 1280×1024 пикс. с частотой кадров 30 к/с.

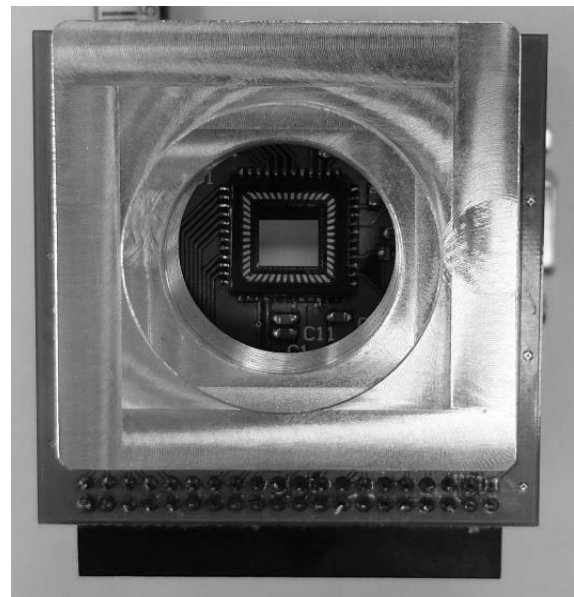
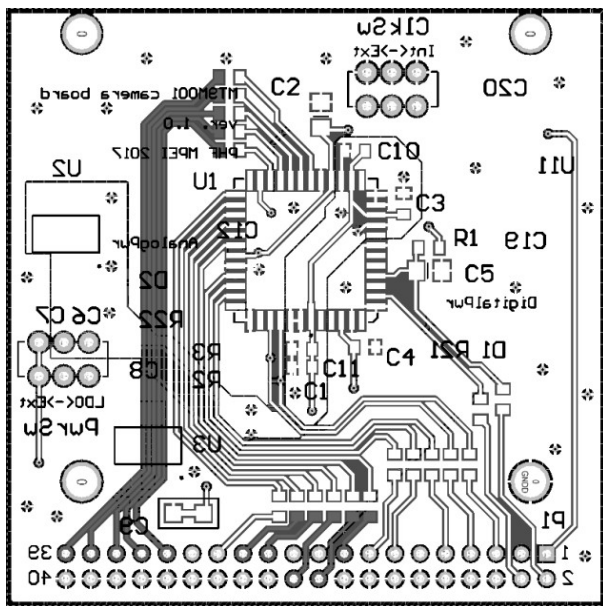


Рис 4. Модуль камеры

Используя специализированное программное обеспечение для симуляции работы ПЛИС ModelSim, была проверена работа отдельных блоков разрабатываемого макета устройства. А именно проведена оценка скорости обработки изображений на примере блока медианной фильтрации, с размерами окна обработки 5×5. В качестве тестовой информации, используется изображение размером 256×256 пикселей в градациях серого (рис. 5).

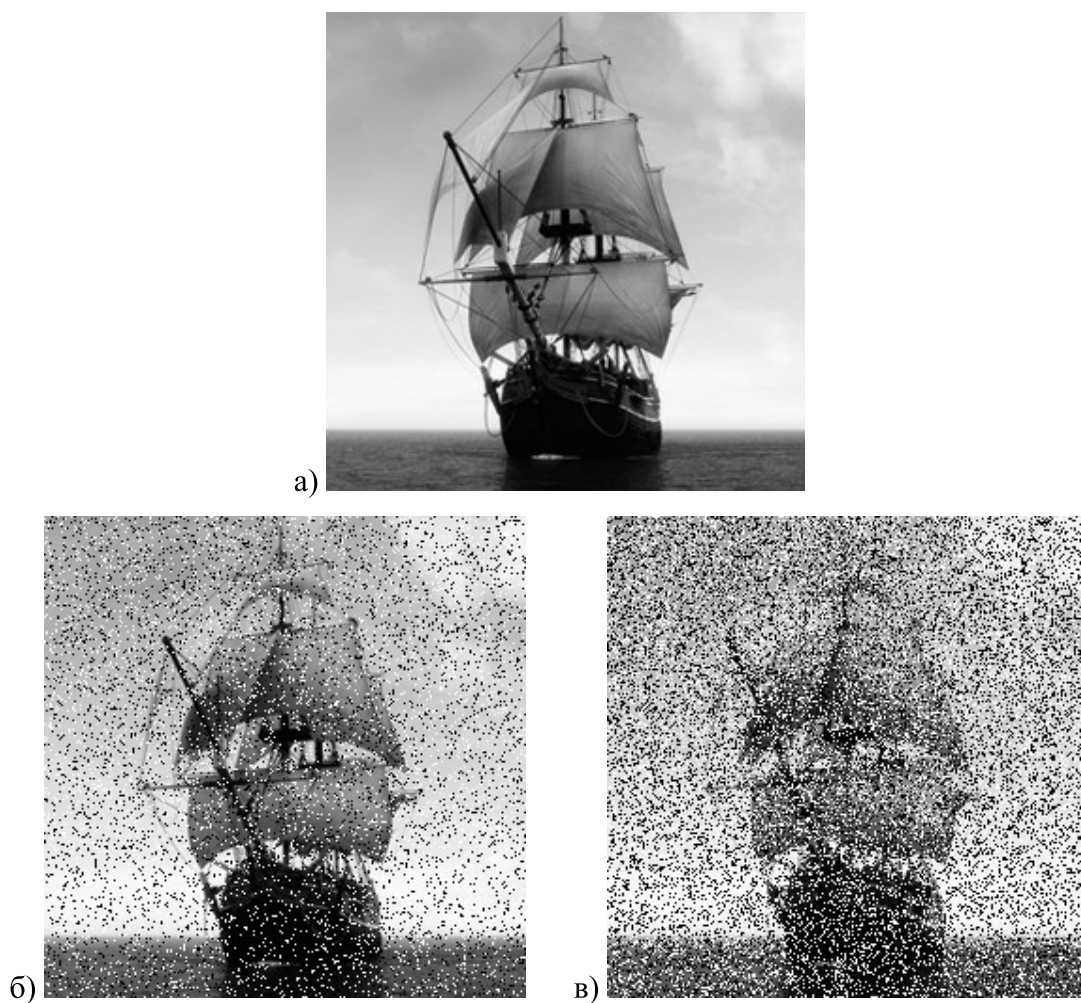


Рис. 5. Исходное тестовое изображение (а) и изображения с различной степенью зашумленности шумом типа “соль и перец” (б, в)

Так как медианный фильтр должен обеспечивать значительное снижение степени зашумленности, то для проверки его работоспособность искадим исходное изображение шумом типа “соль и перец” с разными степенями зашумленности.

Как видно из рис. 6 шум на изображениях почти полностью устранен. Время, затраченное на обработку при заданном размере фильтра, составило 1,5 мс, что соответствует быстродействию 600 к/с.

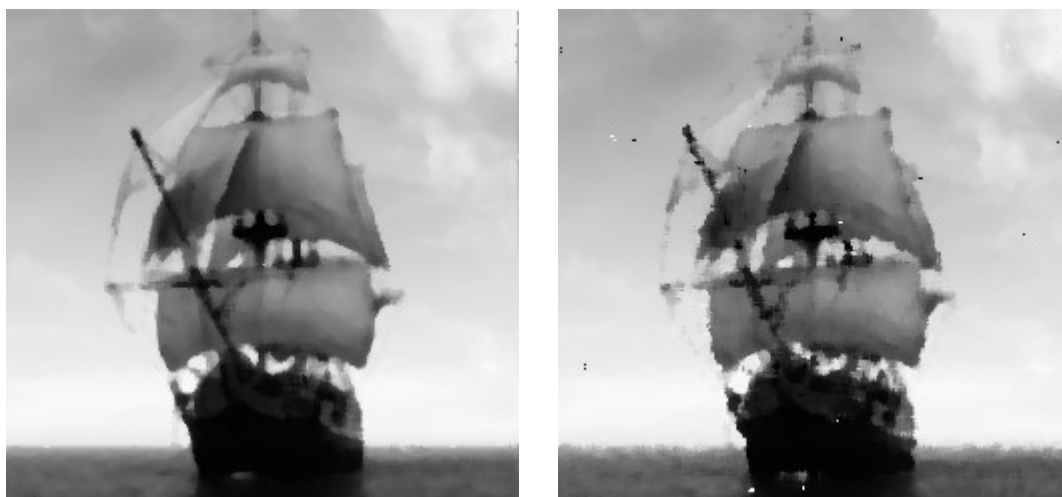


Рис. 6. Результат обработки зашумленных изображений с рис. 5 блоком медианной обработки 5×5 пикселей

ЗАКЛЮЧЕНИЕ

Использование интегральных схем программируемой логики для решения задач обработки изображений имеет практический интерес и актуальность, если преследуемая цель – увеличение скорости обработки информации и/или создание автономного и компактного устройства.

Разработка предложенного устройства является базой для дальнейшего использования ПЛИС в прикладных задачах, так как в будущем внимание можно сконцентрировать на разработку и реализацию более сложных алгоритмов обработки для решения конкретных задач, имеющих практическую значимость

СПИСОК ЛИТЕРАТУРЫ

1. **Заливин А.Н., Зуев И.В.** Использование производительных ПЛИС в обработке изображений // Научные ведомости Белгородского государственного университета. Серия: Экономика. Информатика. – 2014. – Т. 30. – №. 8-1 (179). С. 90–93.
2. **Lindoso A., Entrena L.** Hardware Architectures for Image Processing Acceleration. – INTECH Open Access Publisher, 2009.
3. **Захожай О.И.** Высокоскоростная обработка изображений с применением цифровых фильтров на базе FPGA [Электронный ресурс] / О. И. Захожай, А. Н. Солошенко // – Режим доступа: <http://sbornik.dmmi.edu.ua/articles/RU/115.pdf>.
4. **Bittibssi T.M. et al.** Image enhancement algorithms using FPGA // International Journal of Computer Science & Communication Networks. – 2012. – Vol. 2. – №. 4. – Pp. 536-542.
5. **Сай С.В., Сорокин Н.Ю., Бородулин В.В.** Алгоритм поиска малоконтрастных объектов и его реализация в системе на кристалле [Текст] // Вопросы радиоэлектроники. Серия: Техника телевидения. – 2012. – №. 2. – С. 35-44.

A.S. Suslin , A.Yu. Poroykov

National Research University "MPEI", Russia, Moscow

111250, Moscow, Krasnokazarmennaya.14, E-mail: isuslin.alexandr@gmail.com

DEVELOPMENT OF THE DEVICE FOR PROCESSING VIDEOINFORMATION IN THE REAL TIME MODE BASED ON THE PROGRAMMABLE LOGICAL INTEGRAL CIRCUIT

The work outlines the progress of the project to develop a model of device for a real time image processing, using an integrated circuit of programmable logic. The device allows capturing video information from the CMOS sensor with subsequent processing and transmission to visualize the result via external interfaces.

IMAGE PROCESSING, PROGRAMMABLE LOGIC INTEGRAL CIRCUIT, DIGITAL CAMERA